

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-226474
(43)Date of publication of application : 22.08.1995

(51)Int.Cl.

H01L 23/50
H01L 23/04
// H05K 1/18

(21)Application number : 06-039139
(22)Date of filing : 14.02.1994

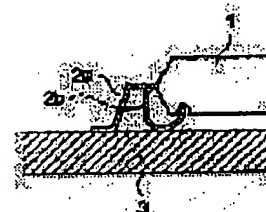
(71)Applicant : SUMITOMO ELECTRIC IND LTD
(72)Inventor : IMAMURA SOICHI

(54) ELECTRONIC PART PACKAGE

(57)Abstract:

PURPOSE: To attain the pin multiplication within the range capable of dealing with using the existing package technology by a method wherein the first group lead pins with the front ends further bent to keep-away from a package as well as the second group lead pins further formed to approach the package are alternately fitted to one another.

CONSTITUTION: In the electronic package, half of lead pins 2a are formed in a gull wing type while the remaining half of the lead pins 2b are formed in J bend type. At this time, the gull wing type lead pins 2a take entirely the same shape as that of conventional one while the J bend type lead pins 2b are bent for approaching to the package 1. Accordingly, the package area is entirely the same as the conventional one. On the other hand, the gull wing type lead pins 2a and the J bend type lead pins are alternately arranged on the package position of a substrate 3 so that the lead pitch of respective lead pins may be doubled. Through these procedures, the pin multiplication can be realized without decreasing the lead pitch.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

507944JP02

51541

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226474

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl. [°]	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 23/50	N			
23/04	E			
// H 0 5 K 1/18	H	8718-4E		

審査請求 未請求 請求項の数 6 FD (全 4 頁)

(21) 出願番号 特願平6-39139

(22) 出願日 平成6年(1994)2月14日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 今村 栄一

大阪市此花区島屋一丁目1番3号 住友電

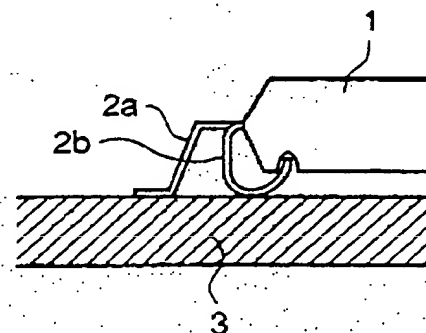
気工業株式会社大阪製作所内

(74) 代理人 弁理士 越場 隆

(54) 【発明の名称】 電子部品パッケージ

(57) 【要約】

【構成】 薄い直方体のパッケージの側面に1列に装着され且つ下方に屈曲された複数のリードピンを備える電子部品パッケージにおいて、先端部がパッケージ1から遠ざかるように更に屈曲された第1群のリードピン2aと、先端部がパッケージ1から離れないように成形された第2群のリードピン2bとが交互に装着され、実装基板3表面のソルディング位置でリードピン2a、2bの先端が、それぞれ別の列をなすように構成されている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 薄い直方体のパッケージと、該パッケージの側面に1列に装着され且つ下方に屈曲された複数のリードピンとを備える電子部品パッケージにおいて、先端部が該パッケージから遠ざかるように更に屈曲された第1群のリードピンと、先端部が該パッケージから離れないように更に成形された第2群のリードピンとが交互に装着され、実装基板表面のソルディング位置で該第1群および第2群のリードピンの先端がそれぞれ別に列をなすように構成されていることを特徴とする電子部品パッケージ。

【請求項2】 請求項1に記載された電子部品パッケージにおいて、前記第1群のリードピンの実効長と前記第2群のリードピンの実効長とが等しいことを特徴とする電子部品パッケージ。

【請求項3】 請求項1または請求項2に記載された電子部品パッケージにおいて、前記第1群のリードピンがガルウイング型リードピンであることを特徴とする電子部品パッケージ。

【請求項4】 請求項1または請求項2に記載された電子部品パッケージにおいて、前記第2群のリードピンがJ-ベンド型リードピンであることを特徴とする電子部品パッケージ。

【請求項5】 請求項1または請求項2に記載された電子部品パッケージにおいて、前記第2群のリードピンがI-リード型リードピンであることを特徴とする電子部品パッケージ。

【請求項6】 請求項1または請求項2に記載された電子部品パッケージにおいて、前記第2群のリードピンが挿入リード型リードピンであることを特徴とする電子部品パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電子部品パッケージに関する。より詳細には、本発明は、パッケージの側方に装着された複数のリードピンを備えたいわゆるフラットパッケージにおいて、実装時の基板上でのリードピッチを改善した新規な電子部品パッケージの構成に関する。

【0002】

【従来の技術】 いわゆるフラットパッケージは、パッケージの側面から突出した複数のリードピンを備えており、このリードピンを基板上のパッドにソルディングすることにより実装される。

【0003】 図4は、この種の電子部品パッケージとして代表的なQFP型パッケージの典型的な形状を示す図である。

【0004】 図4(a)に示すように、QFP型パッケージでは、薄い直方体のパッケージ1の4方の側面に複数のリードピン2が装着されている。このパッケージは、図4(b)に示すように、基板3上のパッド4に各リード

ピン2をはんだ5等によって固着することで実装される。

【0005】

【発明が解決しようとする課題】 ところで、昨今の半導体技術の進歩により電子部品は一般に高機能、多機能化しており、リードピンの数も増加する傾向にある。一方、実装密度の向上も不断に求められており、いさお、多ピン化したパッケージのリードピッチは狭くなる傾向にある。このため、従来は0.65~0.8mm程度であったリードピッチは、今や0.3~0.5mm程度になりつつある。

【0006】 しかしながら、リードピッチが狭くなると、パッケージを実装する際のソルディング技術に対する要求が厳しくなる。即ち、半田材料の開発にはじまり、高精度に半田を塗布するための半田印刷機や、基板上にパッケージを載置するための実装機、更に、良好な半田付けを行うための窒素雰囲気半田加熱炉（リフロー炉）などの設備を、ファインピッチに対応させなければならない。更に、実装作業において使用する種々の部材も特殊になり、例えば、印刷用の版はクリーム半田の抜け性の良いタイプ（アディティブマスク等）が必要になる。更に、配線基板も高価なメッキ処理を施したものが become 必要になる場合もある。

【0007】 このように、電子部品パッケージをファインピッチ化するためには、単なる寸法の変更に止まらず、実装設備全体をファインピッチに対応したものに変更しなければならない。また、実装工程の工程管理も難しくなり、更に、検査工程も格段に高度なものが要求され、もはや目視検査では対応できない。従って、この種のパッケージの高機能化は、主に実装技術の限界により制限されている。

【0008】 そこで、本発明は、上記従来技術の問題点を解決し、現在の実装技術でも対応できる範囲で多ピン化を達成することをその目的としている。

【0009】

【課題を解決するための手段】 本発明に従うと、薄い直方体のパッケージと、該パッケージの側面に1列に装着され且つ下方に屈曲された複数のリードピンとを備える電子部品パッケージにおいて、先端部が該パッケージから遠ざかるように更に屈曲された第1群のリードピンと、先端部が該パッケージから離れないように更に成形された第2群のリードピンとが交互に装着され、実装基板表面のソルディング位置で該第1群および第2群のリードピンの先端がそれぞれ別に列をなすように構成されていることを特徴とする電子部品パッケージが提供される。

【0010】

【作用】 本発明に係る電子部品パッケージは、リードピンの形状を工夫することにより実装時の基板上でのリードピッチを狭くすることなく多ピン化を実現している点

に主要な特徴がある。

【0011】即ち、従来の電子部品パッケージでは、基板表面のソルディング位置においてリードピンが一行に配列されるように構成されていた。このため、多ピン化はそのままリードピッチの減少につながり、実装技術の限界により多ピン化は制限されていた。

【0012】ところで、リードピンは、通常、パッケージの側方から水平に突出した後、下方に向けて屈曲されて基板表面に届くように成形されている。そこで、リードピンの水平部分の長さを変化させることにより、基板上でのリードピンの配列を2列以上にして、実用上のリードピッチを捻げることができる。

【0013】ただし、リードピンの先端が単純に2列になるように成形した場合、パッケージの実際の実装面積は拡大してしまう。即ち、従来のリードピンの配列に対して、更に外側に第2列目のリードピンを配列した場合、第2列目のリードピンを延長した分だけ実装面積が拡大してしまう。また、このような構造では、長さの異なる2種類のリードピンを使用しなければならないので、特に周波数の高い信号を取り扱うパッケージにおいて、信号品質が劣化する恐れがある。

【0014】そこで、本発明に係るパッケージでは、具体的に後述するように、リードピンの半分はその先端がパッケージから遠ざかるように曲げ、残りの半分は先端がパッケージに近づくように曲げることにより、従来のパッケージと実質的に同じ実装面積でリードピンを複列化している。

【0015】尚、本発明の好ましい態様に従うと、上記2種類の形状のリードピンは、相互に同じ長さになるように成形することが好ましい。その理由は、特に周波数の高い信号を取り扱う電子部品においては、信号線路長が信号品質に強い影響を与えるからである。

【0016】また、上記2種類の形状のリードピンのうち、先端がパッケージから遠ざかるように成形されるリードピンは、ガルウイング型と呼ばれる一般的な形状とすればよい。一方、先端がパッケージに近づくように成形されるリードピンは、Jベンド型、Iリード型等の種々の形状を探り得る。更に、リードピンの先端を基板の裏面まで挿通する挿入リード型のリードピンを組み合わせることもできる。

【0017】以下、図面を参照して本発明をより具体的に説明するが、以下の開示は本発明の一実施例に過ぎず、本発明の技術的範囲を何ら限定するものではない。

【0018】

【実施例】図1は、本発明に係る電子部品パッケージの構成例を、リードピンの形状によって示す断面図である。

【0019】同図に示すように、このパッケージ1では、半分のリードピン2aはガルウイング型であり、残りの半分のリードピン2bはJベンド型に成形されてい

る。ここで、ガルウイング型リードピン2aとJベンド型リードピンとは交互に配置されている。

【0020】このパッケージにおいて、ガルウイング型リードピン2aは従来の一般的な集積回路パッケージのリードピンと全く同じ形状をしており、Jベンド型リードピン2bはパッケージ1に近づくように屈曲されている。従って、このパッケージの実装面積は、従来の電子部品パッケージと全く同じである。一方、基板3上の実装位置では、ガルウイング型リードピン2aとJベンド型リードピン2bとが交互に配置されているので、各々のリードピンのリードピッチは2倍になり、多ピン化により実装技術が高密度化することはない。尚、ガルウイング型リードピンもJベンド型リードピンも、各々従来から単独には用いられてきた形状なので、これらの成形並びに実装に関する技術は公知のものが適用できる。

【0021】図2は、本発明に係る電子部品パッケージの他の構成例を示す断面図である。尚、同図において、図1と共通の構成要素には共通の参照番号を付している。

【0022】同図に示すように、このパッケージは、ガルウイング型リードピン2aとIリード型リードピン2cとを組み合わせる構成されている。この点を除いては、機能的には図1に示した電子部品パッケージと同じなので、詳細な機能の説明は省略する。

【0023】図3は、本発明に係る電子部品パッケージの更に他の構成例を示す断面図である。この図でも、図1と共通の構成要素には共通の参照番号を付している。

【0024】同図に示すように、このパッケージ1では、ガルウイング型リードピン2aに対して、挿入リード型リードピン2dを組み合わせる構成されている。従って、このパッケージを実装する場合は、ガルウイング型リードピン2aは基板3の表面でソルディングされ、挿入リード型リードピン2dは基板3の裏面でソルディングされる。従って、実装時のソルディングは、それぞれ広いリードピッチで容易に行うことができる。また、この組み合わせの場合、挿入リードによりパッケージが基板に対して位置決めされるので、半田付け工程におけるパッケージの位置ずれを防止する効果もある。

【0025】なお、以上のような本発明に係る電子部品パッケージの構成は、SOP型およびQFP型の何れのパッケージに対しても適用可能であることはいうまでもない。

【0026】

【発明の効果】以上説明したように本発明に係る電子部品パッケージは、そのリードピンの独特の形状により、リードピッチを減少させることなく多ピン化を実現している。従って、高価な設備の更新などを伴わずに、多機能、高性能化を実現することができる。

【0027】また、本願に係る電子部品パッケージは、形状の異なるリードピンを組み合わせる構成することに

より、多ピン化されているにもかかわらず、実装面積は従来のパッケージと変わらない。従って、半導体装置の小型化、高密度化にも寄与する。

【図面の簡単な説明】

【図1】本発明に係る電子部品パッケージの構成例を示す断面図である。

【図2】本発明に係る電子部品パッケージの他の構成例を示す断面図である。

【図3】本発明に係る電子部品パッケージの更に他の構成例を示す断面図である。

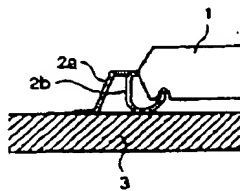
【図4】一般的なフラットパッケージの形状を示す図で

ある。

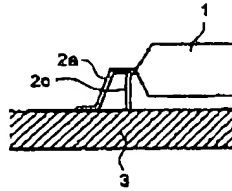
【符号の説明】

- 1・・・パッケージ、
- 2・・・リードピン、
- 2a・・・ガルウイング型リードピン、
- 2b・・・Jバンド型リードピン、
- 2c・・・Iリード型リードピン、
- 2d・・・挿入リード型リードピン、
- 3・・・基板、
- 4・・・パッド、
- 5・・・半田

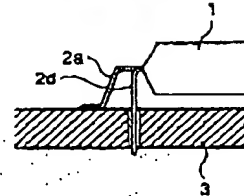
【図1】



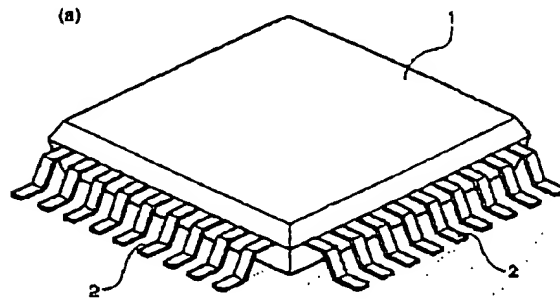
【図2】



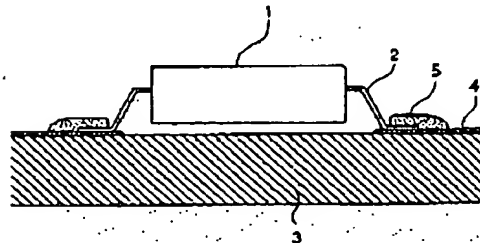
【図3】



【図4】



(b)



BEST AVAILABLE COPY